

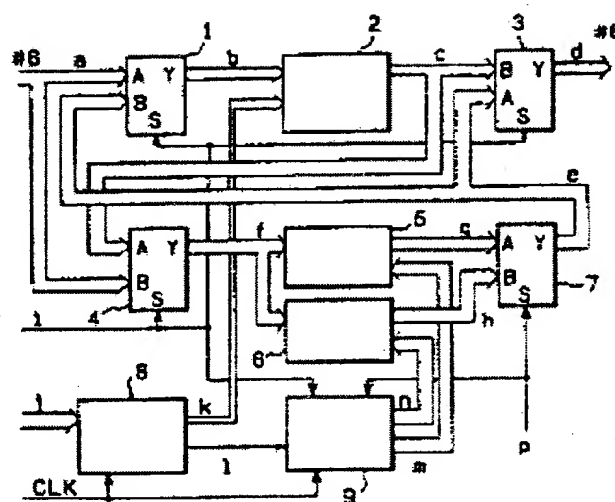
(2)

MAGNIFICATION SYSTEM FOR PICTURE DATA

Patent number: JP63082168
Publication date: 1988-04-12
Inventor: SAKANO YUKIO
Applicant: RICOH CO LTD
Classification:
 - International: H04N1/393
 - european:
Application number: JP19860226196 19860926
Priority number(s):

Abstract of JP63082168

PURPOSE: To attain magnification by means of real time processing by controlling an address of a line memory based on magnification information from a magnification control memory at data read (write) from (to) the line memory at magnification (reduction).
CONSTITUTION: The address of line memories 5, 6 is controlled based on magnification information from a magnification control memory 8 at the data read from the line memories 5, 6 at magnification. In case of the reduction, the address of the line memories 5, 6 is controlled based on the magnification information from the magnification control memory 8 at the data write to the line memories 5, 6. That is, the data is corrected at read from the line memories 5, 6 at magnification and the data is corrected at write to the line memory in case of reduction, the data is read/written alternately at each scanning line from/to 1st and 2nd line memories 5, 6, and when the one is in the read mode, the other is in the write mode. This is controlled by using a magnification/reduction signal (i) and an even/odd number line signal (p).



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-82168

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)4月12日

H 04 N 1/393

7170-5C

審査請求 未請求 発明の数 3 (全18頁)

⑮ 発明の名称 画像データの変倍方式

⑯ 特 願 昭61-226196

⑰ 出 願 昭61(1986)9月26日

⑱ 発 明 者 坂 野 幸 男 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
 ⑳ 代 理 人 弁 理 士 武 頭 次 郎

明 細 書

1. 発明の名称

画像データの変倍方式

2. 特許請求の範囲

(1) 少なくとも1主走査ライン分の容量を有するラインメモリおよび変倍制御情報が格納される変倍コントロールメモリを備えた画像データの変倍方式において、画像データの主走査方向への拡大および縮小を行う場合に、拡大時前記ラインメモリからのデータ読み出し時に前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリのアドレスを制御し、そして縮小時前記ラインメモリへのデータの書き込み時に前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリのアドレスを制御することを特徴とする画像データの変倍方式。

(2) 少なくとも1主走査ライン分の容量を有するラインメモリおよび変倍制御情報が格納される変倍コントロールメモリ、および変倍動作時にデータの補正を行うデータ補正部とを備えた画像データ

の変倍方式において、画像データの拡大時、前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリからの読出しアドレスを制御しかつ同時に前記ラインメモリからの読出しデータを前記データ補正部に入力させ、そして画像データの縮小時、前記データ補正部からの出力データを前記ラインメモリに書き込むようにしかつこの書き込みアドレスを前記変倍コントロールメモリからの変倍情報に基づいて制御することを特徴とする画像データの変倍方式。

(3) 前記データ補正部の動作が前記変倍コントロールメモリからの変倍情報に基づいて行われることを特徴とする特許請求の範囲第(2)項に記載の画像データの変倍方式。

(4) 少なくとも1主走査ライン分の容量を有するラインメモリおよび変倍制御情報が格納される変倍コントロールメモリとを備え、前記変倍コントロールメモリからの変倍情報に基づいて、拡大時には前記ラインメモリからのデータの読出し時に、一方縮小時には前記ラインメモリへのデータの書

込み時に、前記ラインメモリのアドレスを制御する画像データの変倍方式において、前記ラインメモリが2個設けられ、これらのラインメモリが主走査毎に交互にその動作モードを切り換えて、一方が読み出しモードのとき、他方が書き込みモードとすることを特徴とする画像データの変倍方式。

3. 発明の詳細な説明

(技術分野)

本発明は画像データの変倍方式に関し、より詳細には、デジタル化された画像データをデジタル論理処理によつて変倍するデジタル複写機、ファクシミリ、イメージスキヤナ、画像編集システム等に適用し得る画像データの変倍方式に関するものである。

(従来技術)

デジタル画像処理装置等における画像データの変倍方式には従来、光学的変倍法、2値画像の間引き、挿入による変倍法、補間関数を用いた変倍法(テーブル方式による演算)等が採用されている。しかしながら、これらの変倍法のうち、光学

的変倍法は機械的な構造上の理由、すなわち装置の大きさ等および光学的な理由、すなわち光源の明るさ、結像のボケ等のため広範囲の変倍率が困難である。また、2値画像の間引き、挿入による変倍法においては画像データの歪みが大きい、変倍の精度が良くない等の欠点がある。さらに、補間関数を用いた変倍法では、何種類かの固定変倍には対応できるが、任意倍率で広範囲の変倍に対応するのは困難である。

(目的)

本発明は上記従来技術の欠点に鑑みてなされたもので、その目的とするところは、デジタル画像データの電気的な変倍を簡単なハードウェア構成により任意の倍率で、広範囲にかつ精度良くそして入力装置または出力装置に同期したリアルタイム処理による変倍を可能とする画像データの変倍方式を提供することにある。

(構成)

本発明は上記の目的を達成させるため、少なくとも1主走査ライン分の容量を有するラインメモ

3

リおよび変倍制御情報が格納される変倍コントロールメモリを備えた画像データの変倍方式において、画像データの主走査方向への拡大および縮小を行う場合に、拡大時前記ラインメモリからのデータ読出し時に前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリのアドレスを制御し、そして縮小時前記ラインメモリへのデータの書き込み時に前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリのアドレスを制御することを特徴としたものである。

また、本発明は、少なくとも1主走査ライン分の容量を有するラインメモリおよび変倍制御情報が格納される変倍コントロールメモリ、および変倍動作時にデータの補正を行うデータ補正部とを備えた画像データ変倍方式において、画像データの拡大時、前記変倍コントロールメモリからの変倍情報に基づいて前記ラインメモリからの読出しアドレスを制御しかつ同時に前記ラインメモリからの読出しデータを前記データ補正部に入力させ、そして画像データの縮小時、前記データ補正部か

4

らの出力データを前記ラインメモリに書き込むようにしかつこの書き込みアドレスを前記変倍コントロールメモリからの変倍情報に基づいて制御することを特徴としたものである。

さらに、本発明は、少なくとも1主走査ライン分の容量を有するラインメモリおよび変倍制御情報が格納される変倍コントロールメモリを備え、前記変倍コントロールメモリとを備え、前記変倍コントロールメモリからの変倍情報に基づいて、拡大時には前記ラインメモリからのデータの読出し時に、一方縮小時には前記ラインメモリへのデータの書き込み時に前記ラインメモリのアドレスを制御する画像データの変倍方式において、前記ラインメモリが2個設けられ、これらのラインメモリが主走査毎に交互にその動作モードを切り換えて、一方が読出しモードのとき、他方が書き込みモードとすることを特徴としたものである。

以下、本発明の一実施例に基づいて具体的に説明する。

本発明はデジタル化された画像データをデジタ

5

6

ル論理処理によつて2次元的に変倍する方式に関する。主走査方向および副走査方向にそれぞれ画素単位に分割された画像データが1主走査内では画素単位に時系列的に配置される。さらに副走査方向に対しては、第1の主走査データ、第2の主走査データ、第3の主走査データという具合に主走査ライン単位に時系列的に配置された画像データとして入力され、主走査方向画素数に関して、所望の倍率で変倍処理され、新たな画像データとして出力されるものである。このとき、入力と出力とは一定の同期関係を持ち、いわゆるリアルタイム処理である。

ここで、第1図および第2図によつて画素、画像データ、主走査、副走査等の概念について説明する。第1図において、1枚の画像が画素 P_{ij} ($i = 0, 1, 2, \dots, n, j = 0, 1, 2, \dots, n$)に分割され、 $P_{0,0} \sim P_{n,0}$ の集合 $P_0, P_{1,0} \sim P_{n,0}$ の集合 $P_1, P_{1,1} \sim P_{n,1}$ の集合 P_2, \dots がそれぞれ1主走査内の画像データである。以下、便宜上、副走査方向に順に各主走査ラインを第1

図に示すごとく0, 1, 2, \dots, n と付し、第0ライン、第1ライン、第2ライン \dots と呼ぶことにする。

第2図は第1図に対応する信号のタイムチャートであり、 $L SYNC$ は主走査同期信号(またはライン同期信号または単に同期信号と呼ぶ)、 P は主走査ラインが偶数番目のラインか奇数番目のラインかを示す信号(偶数ラインで $P = "L"$)、 a は第1図を読み取った画像データ信号である。

画像データ信号 a 中の P_0, P_1, P_2 は第1図の P_0, P_1, P_2 に対応し、さらに詳細には、信号 a は P_0, P_1, P_2 のそれぞれの内部で画素単位に区切られた信号である。

次に本発明による画像データの変倍方式の一実施例について第3図のブロック図を参照して説明する。図中1は第1セレクト、2はデータ補正部、3は第3セレクト、4は第2セレクト、5は第1ラインメモリ、6は第2ラインメモリ、7は第4セレクト、8は変倍コントロールメモリ、9はメモリコントローラである。また、第3図中の信号

7

a は入力画像データで、6ビット=64階調の濃度情報を有する。信号 d は出力画像データであり、やはり6ビット=64階調の濃度情報を有する。

信号 i は変倍が拡大か縮小かを示す信号で、

拡大(含等倍)時 $i = "H"$

縮小時 $i = "L"$

である。

信号 j は変倍処理を行うために必要な情報あり、図示しない中央処理ユニット(CPU)により変倍コントロールメモリ8にセットされる。このCPUによる変倍情報のセットは画像データの変倍動作に先立つて予めセットされる。

信号 K はセットされた信号 j に基づいて変倍動作時にデータ補正部2、メモリコントローラ9に供給される変倍制御用の信号である。

信号 m, n はそれぞれ第1および第2ラインメモリ5, 6の制御信号であり、アドレス信号、読出し、書込み制御信号である。

信号 P は第2図と同じく主走査ラインが偶数番目か奇数番目かを示す信号である。信号 CLK は

8

画素単位のクロック信号である。

また、信号 b, c, e, f, g, h はそれぞれ第1セレクト1、データ補正部2、第2セレクト4、第4セレクト7、第1ラインメモリ5、第2ラインメモリ6の出力であり、かつそれらは画像データである。これらもすべて6ビット=64階調の濃度情報を有することは勿論である。

変倍コントロールメモリ8への予めの変倍情報のセットについては後述するが、ここで変倍動作時の第3図に示した構成の動作の概要を第4図を参照して説明する。第4図に示すごとく、この動作は拡大時の偶数ライン時と奇数ライン時、また縮小時の偶数ライン時と奇数ライン時との4つの動作モードに大別される。図中、第1、第2ラインメモリ5, 6の欄におけるRDモードおよびWTモードはそれぞれ読出しモードおよび書込みモードを表す。

例えば、拡大時の偶数ライン時は、第1ラインメモリ5がRDモード、第2ラインメモリ6がWTモードであり、そして第3図への入力信号 a は、

9

10

a→第2セレクト4→f→第2ラインメモリ6の経路で第2ラインメモリ6に書き込まれる。この動作と平行して第1ラインメモリ5からの読出しデータは、第1ラインメモリ5→g→第4セレクト7→第1セレクト1→b→データ補正部2→c→第3セレクト3→dの経路で出力される。

次の走査では、今度は奇数ラインになるので、第1および第2ラインメモリ5、6のRDおよびWTモードが逆転し、入力信号aは、a→第2セレクト4→f→第1ラインメモリ5で書き込まれ、一方、この動作と平行して、第2ラインメモリ6の読出しデータは、第2ラインメモリ6→h→第4セレクト7→e→第1セレクト1→b→データ補正部2→c→第3セレクト3→dの経路で出力される。このとき、第2ラインメモリ6から読み出されるデータは前回の偶数ライン時に第2ラインメモリ6に書き込まれたデータである。同様にして、今回のラインで第1ラインメモリ5に書き込まれたデータは次の偶数ライン時に読み出されて、各経路を遍つた後信号dとして出力される。

1 1

に対応する第3図の入力信号aを模式的に示すタイムチャートである。このチャートにおいてT₁は画素の単位を示し、第3図での信号CLKの1周期に対応する。縦軸は6ビット=64階調の濃度レベルに対応する。

今、入力画像データが第5図のように○印で示す画素ピッチがT₁で、濃度レベルがA₁、A₂、A₃、……A_nであるとする。この第5図の画像を主走査方向に拡大し、しかも画素ピッチはT₁であるような拡大を考える。簡単のため、例えば250%の拡大を例とすると、第6図のように表される。

すなわち、第6図で○印およびA₁、A₂、A₃、……は第5図のA₁、A₂、A₃、……であり、走査方向に2.5倍に引き伸ばされている。

一方、△印はピッチT₁であり、B₁₁、B₁₂、B₁₃、B₂₁、B₂₂、B₂₃、……は各点での濃度レベルである。このとき、B₁₁、B₁₂、B₁₃、B₂₁、……はA₁、A₂、A₃、……に対する変倍画像データであり、AとB、すなわち、○印と△印との位置関係および

以上が拡大時の動作であるが、第3図および第4図により縮小時の動作も当番者には同様に理解されよう。

以上の動作を換言すれば以下のようにも表現できる。すなわち、

(1) 拡大時はラインメモリからの読出し時にデータ補正し、縮小時はラインメモリへの書き込み時にデータ補正をする。

(2) 第1および第2ラインメモリとは走査ライン毎に交互に読出し、書き込み動作を行い、一方が読出しモードの時は他方が書き込みモードである。

(3) 拡大/縮小信号iおよび偶数/奇数ライン信号pにより、前記(1)、(2)の制御をする。

上記により画像データの流れを中心として第3図の構成の動作の概要を説明した。上記説明には変倍がどこでどのようにして行われるかについては殆ど触れてないので、以下の説明は変倍を中心として第3図の各ブロックの構成および動作について詳細に行う。

第5図は或る主走査ライン上での或る位置付近

1 2

AとBとの濃度レベルはそれぞれ一定の関係がある。

例えば、第6図で、Aは2.5T₁周期、BはT₁周期で、かつA₂とB₂₁とが一致していれば、以降のA、Bの位置は一義的に決まる。

また、Bの濃度レベルは、例えば前後に近接する2つのAのレベルおよびAまでの距離によつて決定する、いわゆる「近接画素間距離線型配分法」等によつて算出される。

第6図の例では、例えばB₂₂は前後のA₂、A₃から、

$$B_{22} = \frac{r_1 \times A_2 + r_2 \times A_3}{r_1 + r_2}$$

によつて求められる。

第7図は第5図の縮小例であり、変倍率が70%の例を示す。第7図においてAのピッチは○印のごとく0.7T₁であり、変倍されたBのピッチは△印のごとく、変倍前(第5図)のAと同じくT₁である。この場合も、拡大の場合と同じく、○印と△印との位置関係およびAとBとの濃度レ

1 3

1 4

ベルはそれぞれ一定の関係で決まる。

例えば、第7図でB₂のレベルは

$$B_2 = \frac{r_2 \times A_2 + r_1 \times A_1}{r_1 + r_2}$$

によつて求められる。

以上のように、変倍率が与えられれば、変倍前のデータAと変倍後のデータBとの位置関係を決めることが可能であり、またその位置関係と変倍前のデータAとから変倍後のデータBの濃度レベルを決めることが可能である。

このことを第3図と関連づけて説明すると、AとBとの位置関係の情報が格納され、必要に応じてこの情報を送出するのが変倍コントロールメモリ8であり、上式のB₂、およびB₂のような演算によりBのレベルを決定するのがデータ補正部2である。

さらに、第6図および第7図から明らかなように、変倍率と画素位置によつて○印と○印との1ピッチの間に△印が全くない場合、1個だけ有る

15

$$X_n = \frac{100}{\alpha} \times n - X_{n-1} + \frac{100}{\alpha} \quad (X_0 = 0)$$

により、変倍率 α が与えられれば、計算または読出し専用メモリ(ROM)テーブルによりCPUにおいて簡単に $100/\alpha$ 、したがつて X_n が求められる。

17

場合、2個だけ有る場合等のように各種の場合がある。勿論、この関係も位置関係であり、変倍率が与えられれば決まるものである。このように△印が全くないか、或いは幾つ有るかは第3図の動作上極めて重要な事項であり、信号 l としてメモリコントローラ9に与えられ、第1および第2のラインメモリ5、6のアドレス制御に利用される。

次に、変倍前と変倍後との位置関係の情報の具体例について説明する。

変倍率 α (%)に対し

$$X_n = \frac{100}{X} \times n + K \quad (n = 0, 1, 2, \dots) \\ (K = \text{定数})$$

なる X_n は変倍前のデータに対する変倍後のデータの位置を示す。換言すれば、変倍前のデータサンプリングピッチを1としたときの変倍のための新しいサンプリング点を示す。ここで定数 K はサンプリングの新旧の位相差または初期値に対応し、簡単のため $K=0$ とする。すなわち変倍前と変倍後とで最初のデータの位置を一致させるものとする。ここで、

16

さらに、変倍率 α (%)が、例えば50%~1000%の範囲内で1%刻みで設定されるような場合においては、

$$\begin{cases} X_n = (100/\alpha) \times n \\ n = 1, 2, \dots, \alpha \end{cases}$$

と表すことができる。

すなわち、 α は変倍前サンプリング点100個に対する変倍後のサンプリング点の個数を示し、 X_n はその中での変倍前後のサンプリング点の個数関係および位置関係の情報を有し、変倍前サンプリング点100個以上の部分については、100個毎に同様な繰り返しを考えれば十分である。

したがつて上記の場合、 n の数は $\alpha=1000\%$ のときが最も多く、 $n=1000$ である。

次に、 X_n の性質に付いてさらに詳細に説明する。 X_n を整数部 I_n 、小数部 J_n によつて表すと、

$$X_n = I_n + J_n$$

ここで I_n は変倍前後のサンプリング点の個数情報を、また J_n は変倍前後のサンプリング点の

18

位置情報を示す。

例えば拡大時 ($\alpha \geq 100\%$) において、
 $\Delta I_n = I_n - I_{n-1}$ (ただし、 $\Delta I_{n-1} = 0$)
 なる ΔI_n は変倍後サンプリング点 $n-1$ と n との間に
 変倍前サンプリング点があるか無いかを示し、

$\Delta I_n = 0$ ならば無し

$\Delta I_n = 1$ ならば有り

を示す。

例えば、第6図において、 B_{n-1} と B_n との間には
 A_n はないので $\Delta I_n = 0$ 、また B_{n-1} と B_n との間には
 A_n が有るので $\Delta I_n = 1$ に対応する。

一方、 J_n は第6図における、例えば B_{n-1} と A_n 、
 A_n との位置関係 r_n (したがって r_{n-1}) に関する
 情報を有する。

縮小時 ($\alpha < 100\%$) においても、

$\Delta I_n = I_n - I_{n-1}$ (但し、 $\Delta I_{n-1} = 1$)
 なる ΔI_n は変倍前後でのサンプリング点の有無
 を表すが、縮小の場合は、

$1 < 100/\alpha \leq 2$ (但し $50\% \leq \alpha < 100\%$)

なる $100/\alpha$ で X_n が増加するので、 ΔI_n の
 値も $\Delta I_n = 1$ または 2 となり、変倍後サンプリ
 ング点 $n-1$ と n との間に変倍前サンプリング点
 が1個有するか、2個有するかを示し、

$\Delta I_n = 1$ ならば1個有り、

$\Delta I_n = 2$ ならば2個有り、

を示す。

例えば、第7図において、 B_{n-1} と B_n との間には
 A_n が1個有るので $\Delta I_n = 1$ に対応し、また
 B_{n-1} と B_n との間には A_n と A_{n-1} の2個のサン
 プリング点があるので $\Delta I_n = 2$ に対応する。

一方、 J_n については縮小時においても位置関
 係を示し、例えば第7図において r_n (したがつ
 て r_{n-1}) に関する情報を有する。

ΔI_n は拡大、縮小時ともにサンプリング点の
 個数関係の情報であるが、ハードウェアの簡略化
 のために、特に縮小時においては、 $\Delta I_n = 2$ を
 2つに分解変形し、 $\Delta I_{n1} = 0$ 、 $\Delta I_{n2} = 1$ とす
 る。

この変形により、拡大、縮小共通に、

19

$\Delta I_n = 0$ ならば無し、

$\Delta I_n = 1$ ならば有り、

として扱える。

$\Delta I_n = 0$ または 1 によつて第3図の第1およ
 び第2のラインメモリ5、6のアドレスの歩進を
 制御するため、上記の変形がハードウェアの簡略
 化につながっている。

以上のことから、拡大の場合は $n = \alpha$ 個、縮小
 の場合は $n = 100$ 個の ΔI_n ($= 0$ または 1)
 によつて、 $\alpha = 50\% \sim 1000\%$ に対する 1%
 刻みの変倍に対するサンプリング点の個数データ
 が得られる。

次に、 $X_n = I_n + J_n$ の小数部 J_n について
 説明する。 J_n はその定義から、第6図および第
 7図において、

$$J_n = r_n / (r_n + r_{n-1})$$

を意味する。

ここで、ハードウェアの簡略化のために、 J_n
 をその値によつて4つのランクに分割し、その4
 つのランクを K_1 、 K_2 の2ビットで区別し、さ

20

らに、各ランクに対応させて変倍後のサンプリ
 ング点の濃度 B_n を、変倍前の隣りのサンプリ
 ング点 A_{n-1} 、 A_n と下表のように対応させる。

J_n	ランク K_1 , K_2	B_n
$0 \leq J_n < 0.25$	1 0 0	A_n
$0.25 \leq J_n < 0.5$	2 0 1	$A_n(3/4) + A_{n-1}(1/4)$
$0.5 \leq J_n < 0.75$	3 1 0	$A_n(1/2) + A_{n-1}(1/2)$
$0.75 \leq J_n < 1$	4 1 1	$A_n(1/4) + A_{n-1}(3/4)$

以上によつて、 $X_n = I_n + J_n$ なる変倍情報
 が ΔI_n 、 K_1 、 K_2 の3ビットのデジタル論理
 データで表現される。

尚、上表での B_n の値の計算は第3図のデータ補
 正部2によつて行われるものである。

各 ΔI_n 、 K_1 、 K_2 が付随して3
 ビットで α 個 (拡大時) または 100 個 (縮小
 時) の変倍データ列が得られるが、 α 個または 1
 00 個毎に繰り返すデータであるために、 $n = \alpha$
 $+ 1$ または $n = 100 + 1$ の場合は $n = 1$ から再
 スタートさせる必要があり、これを示すために 1
 ビットを割り当て、 K_3 とする。すなわち、 K_3

21

22

は $n = 1 \sim \alpha - 1$ (拡大時) または $n = 1 \sim 99$ (縮小時) では $K_n = 0$, $n = \alpha - 1$ または $n = 100$ の時のみ $K_n = 1$ である。

以上の ΔI_n , K_1 , K_n , K_{100} の4ビットが第3図において外部から変倍コントロールメモリ8に付与される変倍データJの中身である。

これまでの説明により変倍の原理および変倍データの内容が明らかにされたが、以下に第3図の構成の各ブロックについて詳細に説明する。

第8図は第3図の変倍コントロールメモリ8の内部ロジックを示す回路図である。図中、10はラッチ、14はランダムアクセスメモリ(RAM)、15~17はゲート、18はセレクト、19はアドレスカウンタ、20~25はゲートである。

RAM14は外部から信号Jとして与えられる変倍データが格納されるメモリであり、データの個数は $\alpha - 1000\%$ ($n = \alpha - 1000$) のときに最も多く、その容量は 4×1000 ビットである。したがって、4000ビット以上のRAM

なら50%~1000%で1%刻みの変倍データの格納に十分である。例えば、200%の場合 4×200 ビットだけが有効に使用される。

第8図において信号DLTは変倍データJを取り込むためのクロック信号であり、外部からの信号Jの送出に同期して信号DLTも送出される。

信号Jには4ビットの変倍データとは別に、さらに1ビットのデータがある。これは変倍データの最初のデータ、すなわち $n = 1$ のタイミングを示すデータであり、この信号によりRAM14のアドレスを0番地に設定する。より具体的には、このビットデータは $n = 1$ の時のみ論理“1”であり、他の n に対しては0である。そして“1”のときに、RAM14のためのアドレスカウンタ19をリセットする。

ラッチ10に取り込まれた変倍データJのうち、このスタートビットは信号J₀としてゲート20、22を介してアドレスカウンタ19をクリアする。

信号DSTは変倍データJを受けてRAM14に格納するモード中であることを示す。格納が終

23

了すると、DSTはレベル“H”になる。

信号DWTはRAM14への書き込み動作のための信号であり、そしてクロック信号CLKはRAM14から変倍データを読み出す場合、すなわち実際に変倍動作を行う場合のクロック信号である。

セレクト18により信号DLTまたはクロック信号CLKが選択され、アドレスカウンタ19が歩進される。

すなわち、信号JをRAM14に格納する場合は、信号J₀によりアドレスカウンタ19がクリアされ、その後信号DLTによりカウントアップされる。アドレス歩進に伴って信号Jは信号J₁, J₂としてラッチ10、11を介してRAM14に入力されかつ書き込まれる。 $n = \alpha$ または $n = 100$ に対応する分だけ書き込まれると、信号

DST=“H”になり、RAM14への書き込みは終了する。この書き込み動作は第9図のタイムチャートによつて説明される。また、第10図は変倍動作のためにRAM14から変倍データを読み出すモードでの第8図の動作を説明するタイムチャー

24

トである。

第10図において、読出し時、アドレスカウンタ19はセレクト18により信号CLKによつて歩進される。信号CLKは変倍される画像データの画素クロックでもある。

読出し時、DST=“H”でRAM14が読み出しモードになる。また、DWT=“H”になり、ラッチ11の出力はハイインピーダンス状態になる。したがって、信号J₀はRAM14からの出力信号が現れる。

アドレスが次々と歩進し、信号ADR= $\alpha - 1$ ($n = \alpha$ に対応) に至り、再び信号ADR=0から歩進する近辺のタイミングを第10図に示してある。信号J₀の内容 ($\alpha - 4$), ($\alpha - 3$) ……はそれぞれアドレス $\alpha - 4$, $\alpha - 3$ ……に対応する変倍データの意味である。

特に、信号ADR= $\alpha - 1$ においては信号J₀の中のJ₀=“1”になる。この信号J₀は変倍データのエンドビットであり、この信号J₀はゲ

25

26

ート21, 22を介してアドレスカウンタ19をクリアする。このアドレスカウンタ19がクリアされると、信号ADR=0になり、再びADR=0, 1, 2……と歩進される。

信号 ℓ は信号J₁の中の1ビットでラッチ12より出力されるが、この信号 ℓ が変倍データJの中の $\Delta 1$ のビットに対応する。 $\Delta 1$ は元来はサンプリング個数情報であつたが、信号 ℓ においてはむしろ変倍のためのカウント制御信号と考えた方が理解が容易である。すなわち、この信号 ℓ に基づいて変倍のためのラインメモリのアドレスのカウントをオン、オフ制御するからである。

ラッチ13の出力のうち、信号 K_1 , K_2 は変倍データJの中のサンプリング位置データのランクを示す2ビットの K_1 , K_2 にそれぞれ対応する。すなわち、書き込み時と読出し時の時間差や信号形態の差を無視して論理のみを考えれば、

$$\begin{cases} K_1 = K_1 \\ K_2 = K_2 \end{cases}$$

である。

27

$$b_{11} = 1/2 b_{10}$$

$$b_{12} = 1/4 b_{10}$$

$$b_{13} = b_{10} + b_{11} + b_{12} = 1/2 b_{10} + 1/4 b_{10} = 3/4 b_{10}$$

さらに、セレクト27, 31の真理値表は第13図のようになっているので、信号 K_1 , K_2 によつて画像データ b_{11} , b_{12} , c は以下のようになる。

K_1	K_2	b_{11}
0	0	$b_{11} = b_{10}$
0	1	$b_{11} = 3/4 b_{10}$
1	0	$b_{11} = 1/2 b_{10}$
1	1	$b_{11} = 1/4 b_{10}$

b_{11}	$c = b_{11} + b_{12}$
0	b_{11}
$b_{11} = 1/4 b_{10}$	$3/4 b_{10} + 1/4 b_{10}$
$b_{11} = 1/2 b_{10}$	$1/2 b_{10} + 1/2 b_{10}$
$b_{11} = 3/4 b_{10}$	$1/4 b_{10} + 3/4 b_{10}$

すなわち、入力データ b 、変倍データ K_1 , K_2 に対応して補正データ c が得られる。

尚、画像データ b 、したがつて b_{11} 、 b_{12} は信号 K_1 のタイミングで変化するが、選択条件 K_1

信号 K_1 は信号 ℓ とCLKとから作成される信号で、カウントオン、オフ制御信号 ℓ に同期してデータ補正部2(第3図)でのデータの流れを制御するための信号である。

第11図は信号CLK, ℓ , K_1 , K_2 , K_3 のタイミングを示すタイミングチャートである。

第12図は第3図のデータ補正部2の内部ロジックの回路図である。図中、26はラッチ、27はセクタ、28, 29, 30はアダー、31はセクタである。

画像データ b はラッチ26により信号 K_1 のタイミングでシフトされ、 b_{11} 、 b_{12} と b_{13} に分離される。例えば b_{11} が第6図の A_1 であり、 b_{12} が A_2 である。ここでセクタ27, 31に入力される信号はそれぞれ

$$b_{11} = b_{10}$$

$$b_{12} = 1/2 b_{10}$$

$$b_{13} = 1/4 b_{10}$$

$$b_{14} = b_{10} + b_{11} + b_{12} = 1/2 b_{10} + 1/4 b_{10} = 3/4 b_{10}$$

また、

28

K_2 はクロック信号CLKのタイミングで得られる。

第14図は第3図の第1および第2ラインメモリ5, 6およびメモリコントローラ9の内部ロジックを示す回路で、第15図は第14図の回路の動作を説明するタイムチャートである。図において、32, 33はゲート、5, 6は第1および第2ラインメモリ、34, 35はラッチ、9はメモリコントローラ、36, 37, 38, 42はゲート、39, 40はカウンタ、41はセクタである。

第14図および第15図を参照して、カウンタ39, 40はそれぞれ第1および第2ラインメモリ5, 6用のアドレスカウンタであり、カウントオン、オフ制御信号 ℓ に基づいてセクタ41により信号 ℓ_1 , ℓ_2 が発生し、カウンタ39, 40の進歩が制御される。セクタ41は $\ell_1 = \ell$ ($\ell_2 = "H"$) または $\ell_2 = \ell$ ($\ell_1 = "H"$) に選択するのに用いられるが、選択条件は信号 ℓ_1 , ℓ_2 、したがつて信号 ℓ に依存する。すなわち、

29

30

第4図のように、変倍モード(1)や走査ラインの偶数/奇数(p)により選択条件が異なる。

例えば拡大モードでは、読出しモードのラインメモリ側のカウンタは信号 ℓ により制御され、一方のラインメモリ側のカウンタは端子 $EN = "H"$ で常にカウントアップモードである。しかも、走査ライン毎に書込みと読出しのモードが交互に逆転する。

また、縮小モードでは、読出しモードのラインメモリ側のカウンタは $EN = "H"$ で常にカウントアップであり、他方のラインメモリ側は書込みモードであつて、信号 ℓ によりカウントがオン、オフ制御される。

セレクト41の周辺の真理値表は下表で示される。

i	p	i ₁	ℓ_1	ℓ_2
0	0	0	1 (A ₁)	ℓ (A ₂)
0	1	1	ℓ (B ₁)	1 (A ₁)
1	0	1	ℓ (B ₂)	1 (A ₁)
1	1	0	1 (A ₁)	ℓ (A ₂)

また、信号 \overline{WT} はラインメモリ(実際はRAM)

への書込み制御信号で、信号Pにしたがつて第1および第2ラインメモリ5、6に交互に書込み動作を行う。すなわち、 $p = "0"$ の偶数ラインでは第2ラインメモリ6が書込みモード、 $p = "1"$ で第2ラインメモリ6が読出しモードのときはその逆である。

第15図は $i = "1"$ 、特に $i = "1"$ (=拡大モード)、 $p = 0$ (=偶数ライン)の場合の例である。

信号 ℓ は変倍データ1の中の $\Delta 1$ に対応する信号で、 $\ell = "1"$ は $\Delta 1$ 、 $\ell = "0"$ に対応し、このときアドレスカウンタ39、40はカウントオンである。逆に、 $\ell = "0"$ は $\Delta 1$ 、 $\ell = "1"$ に対応し、このときアドレスカウンタ39、40はカウントオフである。

したがつて、カウンタ39、40の出力、すなわち第1および第2ラインメモリ5、6のアドレス信号 m_1 、 n_1 は第15図のように歩進する。

そして第1ラインメモリ5からは信号 f_1 が読み出される。信号 f_1 の中の(m_{11})、(m_{12})

3 1

等はアドレス m_{11} 、 m_{12} に対応するデータの意味である。信号 f_1 はラッチ34により信号CLKのタイミングで整形されて信号 g となる。

一方、第2ラインメモリ6へは信号 f_2 が書き込まれる。この信号 f_2 は入力画像データ f であり、ゲート33を介して第2ラインメモリ6に入力される。このとき、ラッチ35の出力 h にも $h = f_2$ 、 f_2 が出力されるが、このように書込みモード側のデータ信号 h が出力されても、第3図のセレクト7により $e = g$ 側に選択されるので、この場合の h には意味がない。ただし、奇数ライン時には逆に $e = h$ になり、 g の方が意味が無くなる。

第16図は第14図および第15図によつて第1ラインメモリ5(または第2ラインメモリ6)から読み出されたデータ g (または h)がセレクト7、セレクト1により信号 b としてデータ補正部2へ送出された場合の、データ補正部2での動作を説明するタイムチャートである。特に第15図の例と対応させ、 $b = g = a^{-1}$ とした。ここで

3 3

3 2

a^{-1} はセレクト1で $b = a$ は選択されず、 $b = g$ が選択されるが、この g をさかのばれば、1ライン以前の信号 a に帰着するので a^{-1} とした。

また、(m_{11})、(m_{12})、(m_{21})、(m_{22})に対応させて A_1 、 A_2 、 A_3 を添え書きした理由は第6図の A_1 、 A_2 、 A_3 付近の例がこの場合に良く一致するからである。

第15図の信号 ℓ 、CLKに対応して信号 K_1 は第16図のようになる(第8図のラッチ13、ゲート24、25により発生)。この信号 K_1 により、ラッチ26(第12図)の出力 b_1 (したがつて B_1 、 B_2 、 B_3)は第16図のようになる。

一方、信号 K_2 、 K_3 は、第16図のように、信号CLKのタイミングで変化する。したがつて、補正データ出力 c (=d)は、同図のように、信号CLKのタイミングで変化する。ちょうど、 B_{11} 、 B_{21} 、 B_{31} 、 B_{12} 、 B_{22} 、 B_{32} と記したように、第6図のAとBとの関係に対応するタイミングおよび濃度レベルとなる。

3 4

第17図は上述の拡大時の原理および動作について例題的に補足説明するための図で、例として $\alpha = 250\%$ （拡大）の場合である。図においては $n = 1, 2, \dots, 250$ に対応して、 $X_n = 100/\alpha \times n$ の値と、さらにこの n に対応してRAM 14（第8図）のアドレス（ADR）およびその他の信号の状態が示されている。

$100/\alpha = 0.4$ であるので、 $100/\alpha \times n$ は図示のごとく、 $0.4 \sim 100$ までの250個の数列になる。 $100/\alpha \times n$ の整数部から $\Delta I_n = 1, -1, -1, \dots$ は図示の通りである。また、小数部 K_n 、 K_n も図示のごとくであり、さらに、エンドビットを示す J_n は $n = 1 \sim 249$ で $J_n = "0"$ 、 $n = 250$ で $J_n = "1"$ である。

これらの情報が変倍データとしてRAM 14に書き込まれる。

一方、実際の変倍動作時にはRAM 14の内容が読み出される訳であるが、第17図の b_n, b_n, c_n, J_n はその読出し時の各部の状態を $n = 1 \sim 250$ に対応させて示したものである。特に、 n

$n = 5 \sim 12$ に対応して示してある b_n, b_n, c_n の値は第6図、第16図に対応させている。また、 J_n は第8図において説明したように、 $n = 1$ からの開示点を示す信号で、本実施例では J_n はRAM 14への書き込み時のRAM 14のアドレスクリヤ用の信号として扱っている。 J_n 自体はRAM 14に書き込まれず、したがってこの J_n は読出し時には意味を持たない。

第18図および第19図は縮小時の原理および動作を補足説明するための図で、例えとして $\alpha = 71\%$ の場合を示す。

第18図では $n = 1 \sim 71$ に対応して $100/\alpha \times n$ および ΔI_n を示し、第19図では ΔI_n を変形（ $\Delta I_n = 2 \rightarrow \Delta I_n = 0$ と1に分解）した後、 $\Delta I_n = \Delta I_n$ （変形後）として、第17図に対比する形で各部の状態を示している。

特に、 $n = 5 \sim 10$ に対応する b_n, b_n, c_n の値は第7図の例に対応させている。ここで c_n 欄の $c_n = B_n, B_n, B_n$ 等は第7図にも現れていないし、実際の変倍動作時にもとくに意味のないものであ

35

る。

すなわち、 $\Delta I_n = "0"$ のときに発生するこれらの c_n の値は、一旦は第1（または第2）ラインメモリ5（または6）に書き込まれるが、 $\Delta I_n = "0"$ のため第8図において $\Delta I_n = "0"$ 、したがって、第14図において ΔI_n （または ΔI_n ） $= "0"$ になり、アドレスカウンタ39（または40）のアドレスは歩進しない。

すなわち、第19図に戻つて、 $\Delta I_n = "0"$ 時の c_n の値は第1（または第2）ラインメモリ5（または6）に書き込まれるが、次の $\Delta I_n = "1"$ で同一のアドレスに $\Delta I_n = "1"$ に対応する c_n の値が書き込まれる。このように、 $\Delta I_n = "0"$ 時の c_n はダミーデータであり、値そのものには意味がなく、第7図で明らかなように実現もしないサンプリング点である。

第20図は第19図の $n = 5 \sim 10$ に対応する各部の状態を示すタイムチャートである。図において $f_n = f_n = c_n$ には、図のように、 B_n, B_n, \dots, B_n が発生するが、読み出すときは第20図

36

の g_n のように B_n, B_n 等のダミーデータは消滅し、 $B_n, B_n, B_n, B_n, \dots$ のようになる。

以上、本発明による変倍の原理、動作および構成の実施例について説明した。次に本発明の応用の典型的な1例を第21図および第22図を参照して説明する。

第21図は画像読取り装置の概略図で、43はコンタクトガラス、44は原稿、45、46は光源、47、48、49は反射ミラー、50は結像レンズ、51はCCD（電荷結合素子）ラインセンサを含む読取り部、52は画像処理部である。

この画像読取り装置において、読取りの走査は、主走査がCCDラインセンサにより図において紙面と垂直の方向に電子的に走査され、副走査が光源45、46および反射ミラー47、48、49が図の矢印方向に移動することにより走査する。

読取り部51で読み取った画像データは画像処理部52で画像処理された後外部に出力される。

ここで変倍動作は主走査方向の変倍は上述した本発明によつて行われ、副走査方向の変倍は副走

37

38

査速度の制御によつて行うものである。

第22図は第21図のうち、特に読取りデータに関する部分の機能ブロック図である。図において44は原稿、45、46は光源、51は読取り部、51aはCCDラインセンサ、51bは増幅器、51cはA/D変換器、52は画像処理部、52aはシエーディング補正、52bは変倍、52cはMTF(変調伝達関数)補正、52dは2値化を示す。この構成において光源45、46で原稿44を照明する。原稿44の画像はCCDラインセンサ51aにより読み取られ、増幅器51b、A/D変換器51cを介して6ビット64階調のデジタルデータに変換される。その後画像処理部52の内部でまずシエーディング補正52aされ、次いで変倍52b動作が行われる。さらにMTF補正52cされた後、2値化52dされ、2値の画像データとして外部に出力される。

第23図は本発明の他の応用例を示すブロック図で、53は画像メモリ、54は変倍機構、55は出力装置を示す。この応用例においては、画像

メモリ53に格納されている画像データを読み出し、例えばレーザビームプリンタのような出力装置55により印刷する場合に、画像メモリ53と出力装置55との中間に本発明による変倍機構54を設けて出力装置のスピードに追従するスピードでリアルタイム変倍を行うものである。

(効果)

叙上のごとく、本発明によれば、画像データの主走査方向への拡大および縮小を行う場合に、拡大時ラインメモリからのデータ読出し時に変倍コントロールメモリからの変倍情報に基づいてラインメモリへのデータの書き込み時に変倍コントロールメモリからの変倍情報に基づいてラインメモリのアドレスを制御することができる。また、画像データの拡大時、変倍コントロールメモリからの変倍情報に基づいてラインメモリからの読出しデータをデータ補正部に入力させ、そして画像データの縮小時、データ補正部からの出力データをラインメモリに書き込むようにしかつこの書き込みアドレスを変倍コントロールメモリからの変倍情報

39

に基づいて制御することができる。さらに、ラインメモリを2個設けて、これらのラインメモリが主走査毎に交互にその動作モードを切り換えて、一方が読出しモードのとき、他方が書き込みモードとすることができる。このような構成としたことにより本発明はデジタル画像データの電気的な変倍を簡単なハードウェア構成により、広範囲の変倍率での変倍、任意倍率での変倍、精度の良い変倍、また、入力装置または出力装置に同期したリアルタイム処理による変倍を可能とするという効果を奏する画像データの変倍方式を提供することができる。

4. 図面の簡単な説明

第1図は画素、画像データ、主走査、副走査等を説明する概念図、第2図は第1図に対応する信号のタイムチャート、第3図は本発明による画像データの変倍方式の一実施例を示すブロック図、第4図は第3図の構成の動作の概要を説明する説明図、第5図は第3図の入力信号aを模式的に示すタイムチャート、第6図は第5図と同様である

40

が拡大例を示すタイムチャート、第7図は第5図の縮小例を示すタイムチャート、第8図は第3図の変倍コントロールメモリの内部ロジックを示す回路図、第9図は書き込み動作を説明するタイムチャート、第10図はRAMから変倍データを読み出すモードにおいて第8図の動作を説明するタイムチャート、第11図は信号CLK、 ϕ 、 K_1 、 K_2 、 K_3 のタイミングを示すタイミングチャート、第12図は第3図のデータ補正部の内部ロジックを示す回路図、第13図はセレクタの真理値表、第14図は第3図の第1および第2ラインメモリおよびメモリコントローラの内部ロジックを示す回路図、第15図は第14図の回路の動作を説明するタイムチャート、第16図はデータ補正部での動作を説明するタイムチャート、第17図は拡大時の原理および動作を補足説明する説明図、第18図および第19図は縮小時の原理および動作を補足説明するための説明図、第20図は第19図のn=5~10に対応する各部の状態を示すタイムチャート、第21図は本発明の応用例とし

41

42

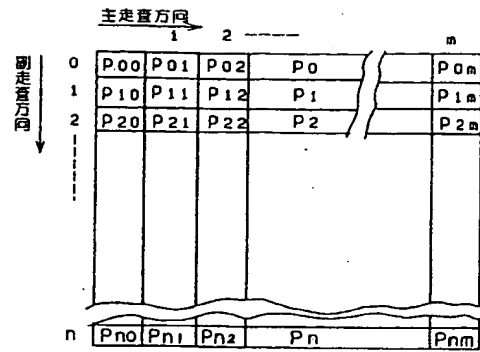
て画像読取り装置を示す概略図、第22図は第21図の読取りデータに関する部分の機能ブロック図、第23図は本発明の他の応用例を示すブロック図である。

1. 3. 4. 7...セクタ、2...データ補正部、5. 6...ラインメモリ、8...変倍コントロールメモリ、9...メモリコントローラ、14...RAM。

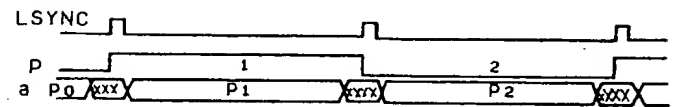
代理人 弁理士 武 順次郎



第 1 図

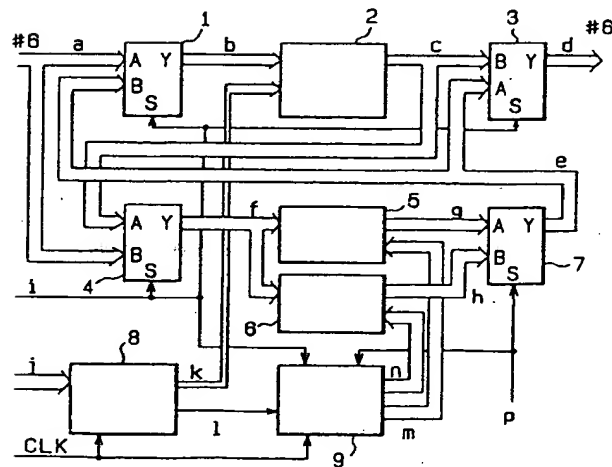


第 2 図



4 3

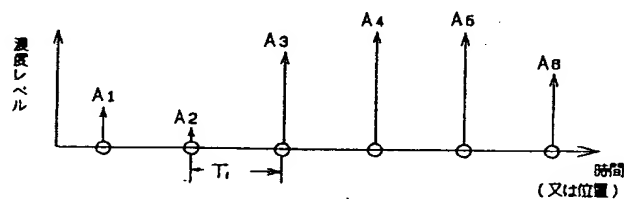
第 3 図



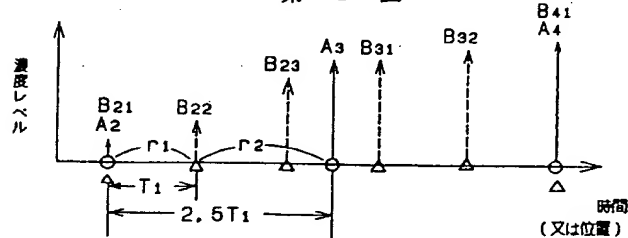
第 4 図

変換 モード	走査 ライン NO.	セレクト 1	セレクト 2	セレクト 3	セレクト 4	ライン メモリ 1	ライン メモリ 2	入力信号aの経路	出力信号dの経路
拡大 ($a \geq 100$ $i=1$)	偶数 $p=0$	$Y=B$	$Y=B$	$Y=B$	$Y=A$	RD モード	WT モード	$a \rightarrow f \rightarrow$ ラインメモリ-2	ラインメモリ-1 $\rightarrow g \rightarrow$ $e \rightarrow b \rightarrow c \rightarrow d$
	奇数 $p=1$	$Y=B$	$Y=B$	$Y=B$	$Y=B$	WT モード	RD モード	$a \rightarrow f \rightarrow$ ラインメモリ-1	ラインメモリ-2 $\rightarrow h \rightarrow$ $e \rightarrow b \rightarrow c \rightarrow d$
縮小 ($a < 100$ $i=0$)	偶数 $p=0$	$Y=A$	$Y=A$	$Y=A$	$Y=A$	RD モード	WT モード	$a \rightarrow b \rightarrow c \rightarrow f \rightarrow$ ラインメモリ-2	ラインメモリ-1 $\rightarrow g \rightarrow$ $e \rightarrow d$
	奇数 $p=1$	$Y=A$	$Y=A$	$Y=A$	$Y=B$	WT モード	RD モード	$a \rightarrow b \rightarrow c \rightarrow f \rightarrow$ ラインメモリ-1	ラインメモリ-2 $\rightarrow h \rightarrow$ $e \rightarrow d$

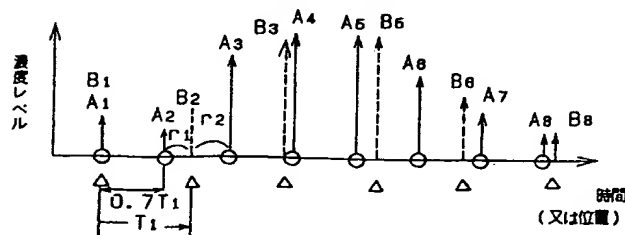
第 5 図



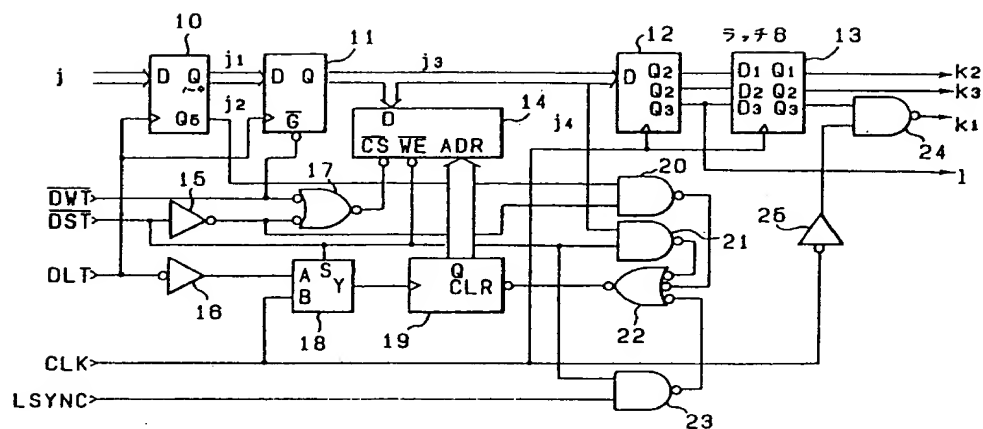
第 6 図



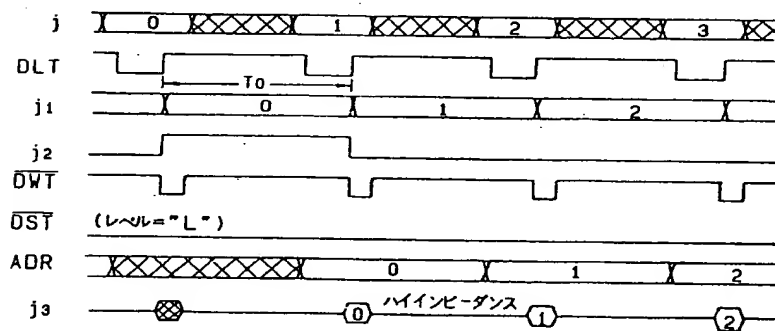
第 7 図



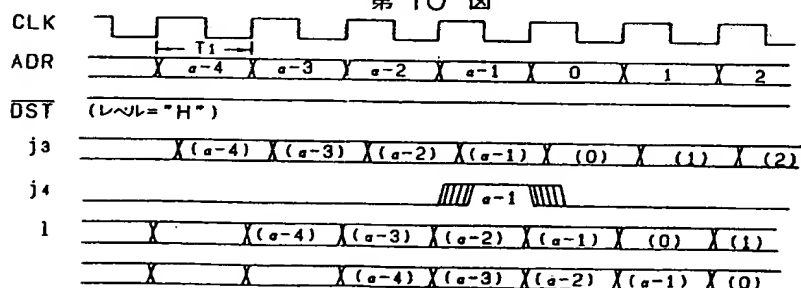
第 8 図



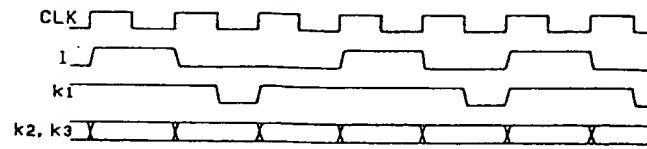
第 9 図



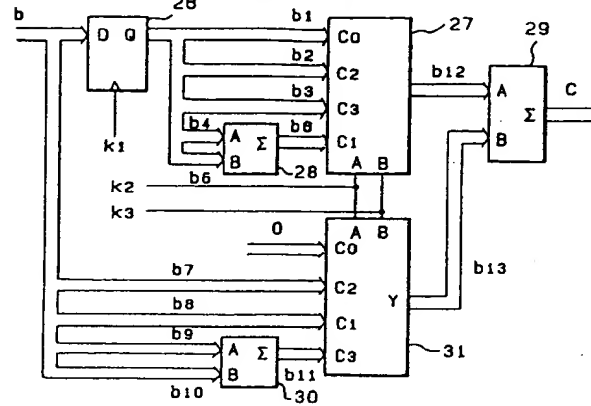
第 10 図



第 11 図



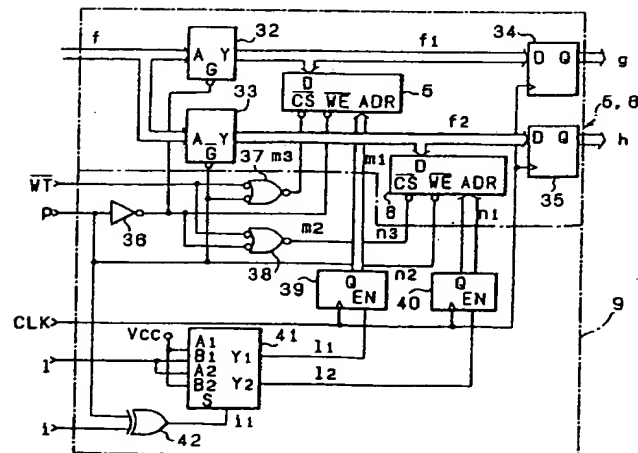
第 12 図



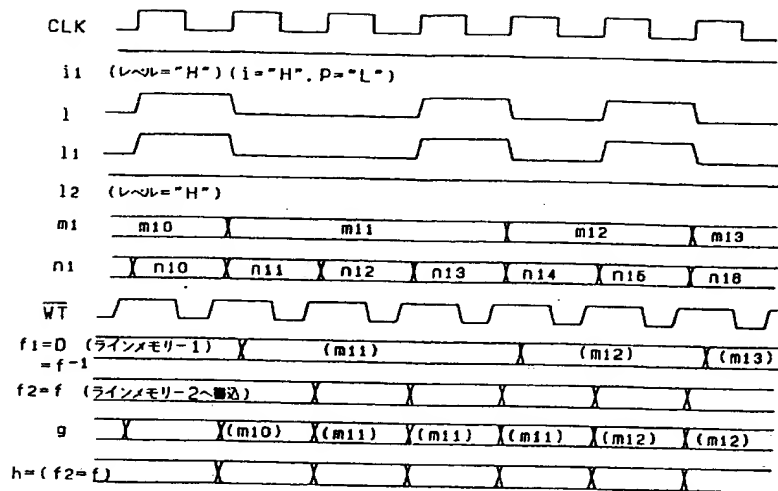
第 13 図

B	A	Y
0	0	C0
0	1	C1
1	0	C2
1	1	C3

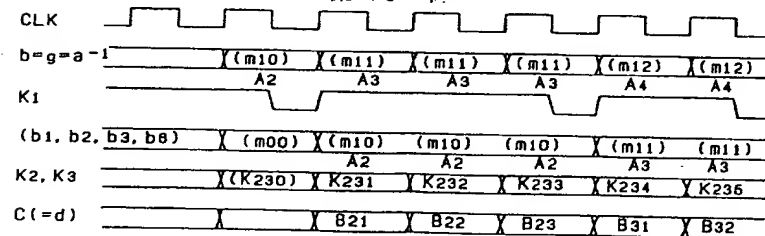
第 14 図



第 15 図



第 16 図



第 17 図

n	$\frac{100}{a} \times n$	RAM1						b1	b	c	j2
		ADR	l'	k'3	k'2	j4					
1	0.4	0	0	0	1	0					1
2	0.8	1	0	1	1	0					0
3	1.2	2	1	0	0	0					0
4	1.6	3	0	1	0	0					0
5	2.0	4	1	0	0	0	A2	A3	A2+0	=B21	0
6	2.4	5	0	0	1	0	A2	A3	A2(3/4)+A3(1/4)	=B22	0
7	2.8	6	0	1	1	0	A2	A3	A2(1/4)+A3(3/4)	=B23	0
8	3.2	7	1	0	0	0	A3	A4	A3+0	=B31	0
9	3.6	8	0	1	0	0	A3	A4	A3(1/2)+A4(1/2)	=B32	0
10	4.0	9	1	0	0	0	A4	A5	A4+0	=B41	0
11	4.4	10	0	0	1	0	A4	A5			0
12	4.8	11	0	1	1	0	A4	A5			0
...
249	99.6	248	0	1	0	0					0
250	100	249	1	0	0	1					0

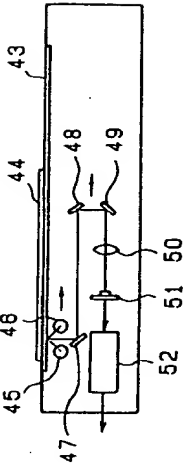
第 18 図

n	$\frac{100}{a} \times n$	ΔI_n
1	1.4	1
2	2.8	1
3	4.2	2
4	5.6	1
5	7.0	2
6	8.4	1
7	9.8	1
8	11.2	2
9	12.6	1
10	14.0	2
...
68	95.8	
69	97.2	
70	98.6	
71	100.0	

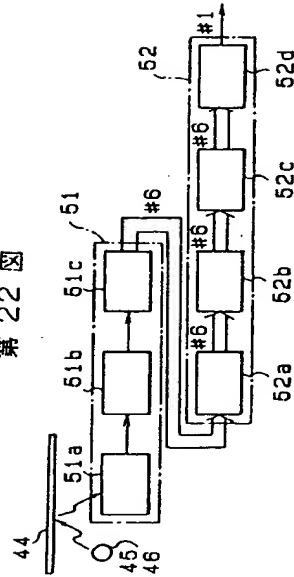
第19図

n	$\frac{100}{a} \times n$	RAM 1				j ₂	b		
		A0R	1°K°3	K°2	j ₄		b ₁	b	c
1	1.4	0	1	0	1	0	1	1	1
2	2.8	1	1	1	0	0	1	1	1
3	4.2	2	0	0	0	0	1	1	1
4	5.6	3	1	0	0	0	1	1	1
5	7.0	4	1	1	0	0	1	1	1
6	8.4	5	0	0	0	0	1	1	1
7	9.8	6	1	0	0	0	1	1	1
8	11.2	7	1	0	1	0	1	1	1
9	12.6	8	1	1	0	0	1	1	1
10	14.0	9	0	0	1	0	1	1	1
11	15.4	10	1	0	1	0	1	1	1
12	16.8	11	1	1	0	0	1	1	1
13	18.2	12	0	0	0	0	1	1	1
14	19.6	13	0	0	0	0	1	1	1
15	21.0	14	1	0	0	0	1	1	1
16	22.4	15	1	1	0	0	1	1	1
17	23.8	16	0	0	0	0	1	1	1
18	25.2	17	0	0	0	0	1	1	1
19	26.6	18	1	0	0	0	1	1	1
20	28.0	19	1	1	0	0	1	1	1
21	29.4	20	0	0	0	0	1	1	1
22	30.8	21	0	0	0	0	1	1	1
23	32.2	22	1	0	0	0	1	1	1
24	33.6	23	1	1	0	0	1	1	1
25	35.0	24	0	0	0	0	1	1	1
26	36.4	25	0	0	0	0	1	1	1
27	37.8	26	1	0	0	0	1	1	1
28	39.2	27	1	1	0	0	1	1	1
29	40.6	28	0	0	0	0	1	1	1
30	42.0	29	0	0	0	0	1	1	1
31	43.4	30	1	0	0	0	1	1	1
32	44.8	31	1	1	0	0	1	1	1
33	46.2	32	0	0	0	0	1	1	1
34	47.6	33	0	0	0	0	1	1	1
35	49.0	34	1	0	0	0	1	1	1
36	50.4	35	1	1	0	0	1	1	1
37	51.8	36	0	0	0	0	1	1	1
38	53.2	37	0	0	0	0	1	1	1
39	54.6	38	1	0	0	0	1	1	1
40	56.0	39	1	1	0	0	1	1	1
41	57.4	40	0	0	0	0	1	1	1
42	58.8	41	0	0	0	0	1	1	1
43	60.2	42	1	0	0	0	1	1	1
44	61.6	43	1	1	0	0	1	1	1
45	63.0	44	0	0	0	0	1	1	1
46	64.4	45	0	0	0	0	1	1	1
47	65.8	46	1	0	0	0	1	1	1
48	67.2	47	1	1	0	0	1	1	1
49	68.6	48	0	0	0	0	1	1	1
50	70.0	49	0	0	0	0	1	1	1

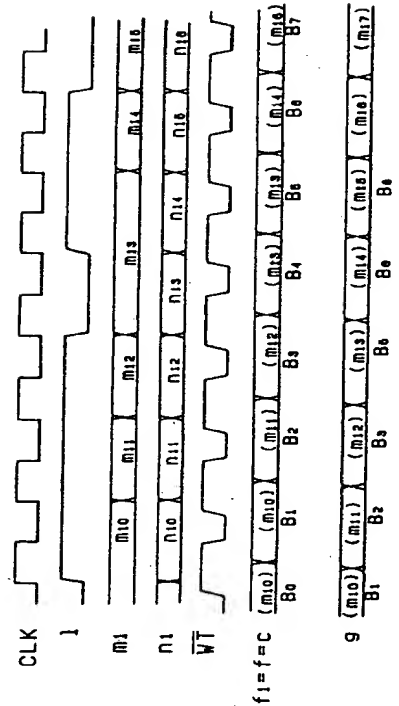
第21図



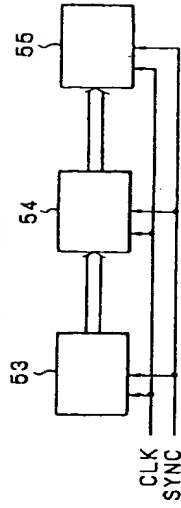
第22図



第20図



第23図



手続補正書 (自発)

昭和62年 1月 7日

特許庁長官殿

事件の表示

特願昭61-226196号

発明の名称

画像データの変倍方式

補正をする者

事件との関係 出願人

名称 (674) 株式会社 リ コ ー

代理人

東京都港区西新橋1丁目6番13号柏屋ビル
(7813) 井理士 武 頭次郎

補正命令の日付 自発

補正の対象

(1) 発明の詳細な説明の欄

補正の内容

別紙記載の通り。

井理士
武 頭次郎

(1) 明細書16ページ11行の

100

「 $X_n = \frac{100}{X} \times n + K$ 」を

X

100

「 $X_n = \frac{100}{\alpha} \times n + K$ 」に補正します。 α (2) 明細書17ページ1行の「 $X_n = 0$ 」を「X

= 0」に補正します。

以上